

Platinenfertigung

Platinen können über den EWS beim Lehrstuhl für Elektronische Schaltungstechnik gefertigt werden, wenn sie die folgenden Bedingungen erfüllen.

- 1.) Es versteht sich von selbst das keine Massenanfertigungen oder Platinen für kommerzielle Zwecke kostenlos gefertigt werden.
- 2.) Eagleversion 5.x oder älter (bei 6.x kommt es noch zu Fehlern!)
- 3.) Platinenformat maximal 175*230 mm
- 4.) min. Bohrloch 0.3mm
- 5.) maximal 4 Lagen, aber bitte nur wenn erforderlich
- 6.) Leiterbahnbreite/Abstand gemäß Tabelle
- 7.) Eine Beschriftung mit Platinennamen oder Entwicklernamen im Kupfer um die Platine zuordnen zu können
- 8.) Layer:
 - Layer 1 – Top
 - Layer 2 – 1. Innenlage
 - Layer 15 - 2. Innenlage
 - Layer 16 – Bottom
 - Layer 46 – Fräsungen (Hier muss ein **punktgenau geschlossener** Rahmen um den Platinenrand führen.)

Kupferbelag	Leiterbahnabstand/Leiterbahnbreite
18µm	100µm
35µm	150µm
75µm	300µm